

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-193475

(43)Date of publication of application : 08.07.2004

(51)Int.Cl.

H01L 21/822
G05F 1/56
H01L 27/04
// H02M 3/155

(21)Application number : 2002-362149

(71)Applicant : RICOH CO LTD

(22)Date of filing : 13.12.2002

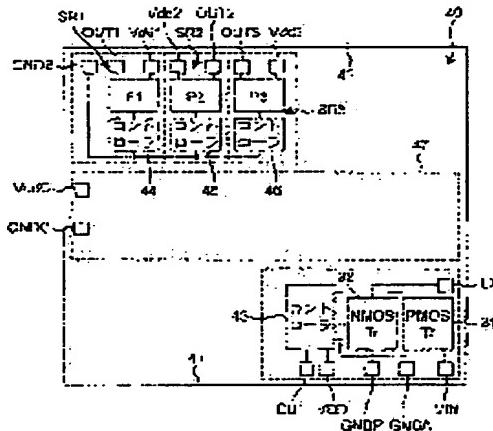
(72)Inventor : AGARI HIDEKI
YOSHII KOJI

(54) POWER SUPPLY IC AND COMMUNICATION APPARATUS EMPLOYING POWER SUPPLY IC

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply IC wherein a switching regulator which is a generating source of high-frequency noise and a series regulator for an RF circuit are formed to be a single chip, and to provide a communication apparatus employing the power supply IC.

SOLUTION: A PMOS transistor 31 and an NMOS transistor 32 forming driver transistors for switching the switching regulator 21 are placed near the prescribed side 41 of the IC chip 40, and PMOS transistors P1 to P3 forming driver transistors for outputting currents to the series regulators SR1 to SR3 are deposited in the vicinity of a side 42 opposite to the side 41 of the IC chip 40.



[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-193475

(P2004-193475A)

(43)公開日 平成16年7月8日(2004.7.8)

(51) Int.Cl.⁷
H01L 21/822
G05F 1/56
H01L 27/04
// **H02M 3/155**

F 1
H01L 27/04 **B**
G05F 1/56 **310A**
G05F 1/56 **310Q**
G05F 1/56 **310U**
HO2M 3/155 **W**

審査請求 未請求 請求項の数 14 O L (全 13 頁)

(21)出願番号 特願2002-362149 (P2002-362149)
(22)出願日 平成14年12月13日 (2002.12.13)

(71)出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(74)代理人 100062144
弁理士 青山 篤
(74)代理人 100086405
弁理士 河宮 治
(72)発明者 上里 英樹
東京都大田区中馬込1丁目3番6号 株式会社リコー内
(72)発明者 吉井 宏治
東京都大田区中馬込1丁目3番6号 株式会社リコー内
F ターム(参考) 5F038 AV04 AV06 BB05 BG02 BG03
BG06 BH19 CA05 DF03 EZ20
最終頁に続く

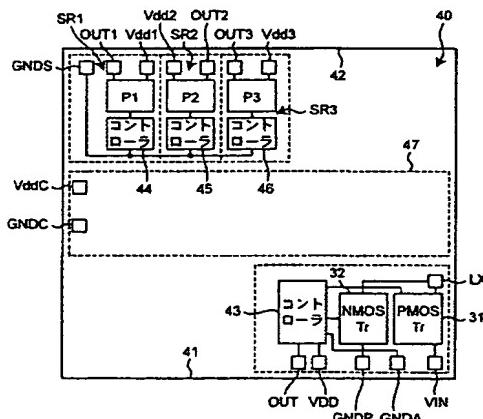
(54)【発明の名称】電源用IC及びその電源用ICを使用した通信装置

(57)【要約】

【課題】高周波ノイズの発生源であるスイッチングレギュレータとRF回路用のシリーズレギュレータを1つのチップにすることができる電源用IC及びその電源用ICを使用した通信装置を得る。

【解決手段】スイッチングレギュレータ21のスイッチングを行うドライバトランジスタをなすPMOSトランジスタ31及びNMOSトランジスタ32を、ICチップ40の所定の一辺41近傍に配置され、前記シリーズレギュレータSR1～SR3の電流输出を行なうドライバトランジスタをなすPMOSトランジスタP1～P3は、前記ICチップ40の辺41と対向する辺42近傍に配置するようにした。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのシリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICにおいて、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一辺近傍に配置され、前記シリーズレギュレータは、前記ICチップの該所定の一辺と対向するICチップの辺近傍に配置されることを特徴とする電源用IC。

【請求項 2】

前記シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項1記載の電源用IC。

【請求項 3】

前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする請求項1又は2記載の電源用IC。

【請求項 4】

前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるパッドをそれぞれ対応して設けられることを特徴とする請求項1、2又は3記載の電源用IC。

【請求項 5】

前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項1、2、3又は4記載の電源用IC。

【請求項 6】

前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、ICチップの対角線近傍にそれぞれ配置されることを特徴とする請求項1、2、3、4又は5記載の電源用IC。

【請求項 7】

前記スイッチングレギュレータは、同期整流型のDC-DCコンバータをなすことを特徴とする請求項1、2、3、4、5又は6記載の電源用IC。

【請求項 8】

直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのシリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICを使用した通信装置において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一辺近傍に配置され、前記シリーズレギュレータは、前記ICチップの該所定の一辺と対向するICチップの辺近傍に配置されることを特徴とする通信装置。

【請求項 9】

前記シリーズレギュレータは、高周波回路への電源供給を行うことを特徴とする請求項8記載の通信装置。

【請求項 10】

前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されることを特徴とする請求項8又は9記載の通信装置。

【請求項 11】

前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されることを特徴とする請求項8、9又は10記載の通信装置。

【請求項 12】

10

20

30

40

50

前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されることを特徴とする請求項8、9、10又は11記載の通信装置。

【請求項13】

前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、ICチップの対角線近傍にそれぞれ配置されることを特徴とする請求項8、9、10、11又は12記載の通信装置。

【請求項14】

前記スイッチングレギュレータは、同期整流型のDC-DCコンバータをなすことを特徴とする請求項8、9、10、11、12又は13記載の通信装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電源回路を搭載する電源用IC及びその電源用ICを使用した通信装置に関し、特に高周波回路に電源供給を行うシリーズレギュレータとスイッチングレギュレータとを搭載した電源用IC及びその電源用ICを使用した通信装置に関する。 20

【0002】

【従来の技術】

CPUやDSP等のロジック回路は、低消費電力が要求される携帯機器の発達に伴って、例えば2.5Vから1.8V又は1.5Vと動作電圧が低下しており、低電圧動作化が進んでいる。このような低電圧動作化が要求されるICへの電源供給には、従来のシリーズレギュレータから効率のよいスイッチングレギュレータを使用することが望まれてきている。一方、携帯機器の小型化に対するニーズは高く、従来、別チップにしていた電源部を含むアナログ回路をワンチップにし、小型化を実現しようとしていた。

【0003】

【発明が解決しようとする課題】

しかし、携帯電話等の通信装置において、ノイズ源となるスイッチングレギュレータは、高周波ノイズの影響を受けると問題が発生するRF回路の電源部等とは別チップにし、プリント基板上においてチップ間距離をとることや、チップ間へのフィルタの取り付け等の様々な対策を行わなければならないという問題があった。 30

【0004】

本発明は、上記のような問題を解決するためになされたものであり、高周波ノイズの発生源であるスイッチングレギュレータとRF回路用のシリーズレギュレータを1つのチップにすることができる電源用IC及びその電源用ICを使用した通信装置を得ることを目的とする。

【0005】

【課題を解決するための手段】

この発明に係る電源用ICは、直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのシリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICにおいて、 40

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一辺近傍に配置され、前記シリーズレギュレータは、前記ICチップの該所定の一辺と対向するICチップの辺近傍に配置されるものである。

【0006】

具体的には、前記シリーズレギュレータは、高周波回路への電源供給を行うものである。

【0007】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるようにしてもよい。

【0008】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

【0009】

一方、前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。

【0010】

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、ICチップの対角線近傍にそれぞれ配置されるようにしてもよい。

【0011】

前記スイッチングレギュレータは、同期整流型のDC-DCコンバータをなすようにして 10 もよい。

【0012】

また、この発明に係る通信装置は、直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのスイッチングレギュレータと、該直流電源からの電源電圧から所定の定電圧を生成して出力する少なくとも1つのシリーズレギュレータとを備えた電源回路を集積した、四角形のICチップで形成された電源用ICを使用した通信装置において、

前記スイッチングレギュレータのスイッチングを行うドライバトランジスタは、前記ICチップの所定の一辺近傍に配置され、前記シリーズレギュレータは、前記ICチップの該所定の一辺と対向するICチップの辺近傍に配置されるものである。 20

【0013】

具体的には、前記シリーズレギュレータは、高周波回路への電源供給を行うものである。

【0014】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの正側電源電圧が異なるパッドから入力されるようにしてもよい。

【0015】

また、前記スイッチングレギュレータ及びシリーズレギュレータは、前記直流電源からの負側電源電圧が異なるパッドから入力されるようにしてもよい。

【0016】

一方、前記スイッチングレギュレータのドライバトランジスタと前記シリーズレギュレータとの間に、所定の機能を有する回路が形成されるようにしてもよい。 30

【0017】

また、具体的には、前記スイッチングレギュレータのドライバトランジスタ及び前記シリーズレギュレータは、ICチップの対角線近傍にそれぞれ配置されるようにしてもよい。

【0018】

前記スイッチングレギュレータは、同期整流型のDC-DCコンバータをなすようにして 40 もよい。

【0019】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態における電源用ICを使用する通信装置の例を示した図である。なお、図1では、通信装置として携帯電話を例にして示している。

【0020】

図1において、通信装置1は、複数の電源回路からなる電源回路部2と、オーディオ回路部3と、送受信回路等からなるRF回路部4と、電源回路部2、オーディオ回路部3及びRF回路部4の各部の動作制御を行うCPUロジック回路部5と、表示部6と、アンテナ7と、操作ボタンからなる操作部8と、スピーカ9と、マイク10と、バッテリ11とで構成されている。電源回路部2、オーディオ回路部3、RF回路部4及びCPUロジック回路部5は、1つの基板上にモールドされて1つのモジュール12になっている。 50

【0021】

電源回路部2は、バッテリ11から供給された電源から所定の定電圧を生成して、オーディオ回路部3、RF回路部4及びCPUロジック回路部5にそれぞれ出力して電源供給を行う。CPUロジック回路部5は、操作部8からの操作に応じて電源回路部2、オーディオ回路部3、RF回路部4及び表示部6の各部の動作制御を行う。RF回路部4は、アンテナ7を介して信号の送受信を行い、オーディオ回路部3は、マイク10からの信号が入力され、スピーカ9への信号出力を行う。

【0022】

図2は、図1の電源回路部2の構成例を示した図である。なお、図2では、1つのスイッチングレギュレータと3つのシリーズレギュレータを有する場合を例にして示している。
10
図2において、電源回路部2は、スイッチングレギュレータ21と、シリーズレギュレータSR1～SR3と、バッテリ11に対する充電を制御する充電制御回路22と、SIMカード27とCPUロジック回路部5とのインターフェースを行うSIMカードインターフェース回路23とを備えている。

【0023】

更に、電源回路部2は、バッテリ11からの正側電源電圧Vbatに応じてスイッチングレギュレータ21、シリーズレギュレータSR1～SR3、充電制御回路22及びSIMカードインターフェース回路23の動作制御を行うパワーオンロジック回路24とを備えている。電源回路部2は、一部の集積化不可能な部品を除いて1つのICに集積されており、該ICは電源用ICをなす。

【0024】

スイッチングレギュレータ21、シリーズレギュレータSR1～SR3及びSIMカードインターフェース回路23はバッテリ11から電源が供給されており、パワーオンロジック回路24は、バッテリ11の正側電源電圧Vbatをモニタしている。また、充電制御回路22は、AC/DCアダプタ28からDC電圧が入力されており、該DC電圧を用いたバッテリ11への充電制御を行う。

【0025】

パワーオンロジック回路24は、バッテリ11の正側電源電圧Vbatが所定値以上になると、充電制御回路22に対してバッテリ11への充電を抑制させる。スイッチングレギュレータ21はCPUロジック回路部5への電源供給を行い、シリーズレギュレータSR1、SR2はRF回路部4への電源供給を行い、シリーズレギュレータSR3はオーディオ回路部3への電源供給を行う。シリーズレギュレータSR1及びSR2は、CPUロジック回路部5によってイネーブル制御が行われる。

【0026】

図3は、スイッチングレギュレータ21の回路例を示した図である。なお、図3では、スイッチングレギュレータ21が同期整流型のDC-DCコンバータをなす場合を例にして示している。

図3において、スイッチングレギュレータ21は、スイッチングを行うドライバトランジスタをなすPチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）31と、スイッチングを行うドライバトランジスタをなすNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）32と、該PMOSトランジスタ31及びNMOSトランジスタ32から出力される信号を平滑して出力する平滑回路部33とを備えている。
40

【0027】

更に、スイッチングレギュレータ21は、所定の基準電圧Vrを生成して出力する基準電圧発生回路部34と、平滑回路部33から出力される電圧Voを分圧して分圧電圧Vdを生成し出力する分圧回路部35と、基準電圧Vrに対する分圧電圧Vdの誤差を增幅して出力する誤差増幅器36と、該誤差増幅器36からの出力信号に応じて前記PMOSトランジスタ31及びNMOSトランジスタ32のスイッチング制御を行う制御回路部37とを備えている。

【0028】

バッテリ11の正側電源電圧V_{b a t}に接続されたパッドVINとバッテリ11の負側電源電圧GNDに接続されたパッドGNDPとの間には、PMOSトランジスタ31及びNMOSトランジスタ32が直列に接続され、PMOSトランジスタ31及びNMOSトランジスタ32の各ゲートは、それぞれ制御回路部37に接続されている。PMOSトランジスタ31とNMOSトランジスタ32の接続部はパッドLXに接続され、該パッドLXと負側電源電圧GNDとの間には平滑回路部33を構成するコイルLとコンデンサCの直列回路が接続されている。コイルLとコンデンサCとの接続部がスイッチングレギュレータ21の出力端をなし、該出力端から所定の電圧V_oが出力される。

【0029】

該出力電圧V_oは、パッドOUTを介して分圧回路部35に入力され、分圧回路部35で分圧されて該分圧電圧Vdが誤差増幅器36の一方の入力端に入力される。分圧回路部35は、抵抗R1及びR2の直列回路で構成され、該直列回路は、出力電圧V_oに接続されたパッドOUTと負側電源電圧GNDに接続されたパッドGND Aとの間に接続されている。抵抗R1とR2との接続部が、誤差増幅器36の一方の入力端に接続され、該入力端に分圧電圧Vdが入力されている。また、誤差増幅器36の他方の入力端には基準電圧Vrが入力され、誤差増幅器36の出力端は制御回路部37に接続されている。

【0030】

出力電圧V_oは分圧回路部35で分圧され、該分圧電圧Vdと基準電圧Vrとの差電圧を誤差増幅器36で増幅する。制御回路部37は、例えば三角波のパルス信号を発生させる発振回路(図示せず)とコンパレータ(図示せず)とを備え、該発振回路の出力信号と誤差増幅器36の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてPMOSトランジスタ31及びNMOSトランジスタ32のオン時間を制御する。この際、制御回路部37は、PMOSトランジスタ31及びNMOSトランジスタ32を交互にオンさせて同時にオンしないようにスイッチング制御を行う。PMOSトランジスタ31及びNMOSトランジスタ32の接続部から出力された信号は、コイルL及びコンデンサCからなる平滑回路部33で平滑されて出力電圧V_oとして出力される。

【0031】

次に、図4は、シリーズレギュレータSR1～SR3の回路例を示した図である。なお、図4では、シリーズレギュレータSR1～SR3は同じ回路構成をなすものであり、ここでは任意の1つのシリーズレギュレータSRm(m=1～3)を例にして説明する。図4におけるシリーズレギュレータSRmは、所定の基準電圧Vrmを生成して出力する基準電圧発生回路部REmと、分圧回路部DEMと、誤差増幅器AMPmと、該誤差増幅器AMPmからゲートに入力される電圧に応じた電流をパッドOUTmに出力するドライバトランジスタをなすPMOSトランジスタPmとを備えている。

【0032】

正側電源電圧V_{b a t}に接続されたパッドVddmとパッドOUTmとの間にPMOSトランジスタPmが接続され、PMOSトランジスタPmのドレイン電圧が出力電圧Vomになる。パッドOUTmと負側電源電圧GNDに接続されたパッドGNDsとの間には、分圧回路部DEMを構成する抵抗RAm及びRBmが直列に接続されており、抵抗RAmとRBmとの接続部から分圧電圧Vdmが出力され、該分圧電圧Vdmは、誤差増幅器AMPmの反転入力端に入力される。

【0033】

また、誤差増幅器AMPmの非反転入力端には、基準電圧Vrmが入力されており、誤差増幅器AMPmの出力端は、PMOSトランジスタPmのゲートに接続され、誤差増幅器AMPmにはCPUロジック回路部5からイネーブル信号SEMが入力されている。イネーブル信号SEMがアサートされると、誤差増幅器AMPmは動作を停止し、PMOSトランジスタPmがオフして出力電圧Vomの出力が停止する。

【0034】

出力電圧Vomは、分圧回路部DEMで分圧され、該分圧電圧Vdmと基準電圧Vrmと

10

20

30

40

50

の差電圧を誤差増幅器AMPmで増幅してPMOSトランジスタPmのゲートに出力される。このように、誤差増幅器AMPmは、PMOSトランジスタPmの動作制御を行って、出力電圧Vomが所望の電圧で一定になるようにしている。

【0035】

図5は、図2の電源回路部2をなす電源用ICを示した概略図であり、図5では、ICチップ上におけるスイッチングレギュレータ21と、シリーズレギュレータSR1～SR3の配置例を示している。なお、図5では、イネーブル信号SEMが入力されるパッドは省略して示している。

図5において、スイッチングレギュレータ21のPMOSトランジスタ31（図5ではPMOSTrと示す。）及びNMOSトランジスタ32（図5ではNMOSTrと示す。）は、4角形をなすICチップ40の所定の一辺41の近傍に配置され、シリーズレギュレータSR1～SR3の各PMOSトランジスタP1～P3は、ICチップ40の一辺41に対向する辺42の近傍に配置される。また、スイッチングレギュレータ21とシリーズレギュレータSR1～SR3は、ICチップ40の対角線上にほぼ位置するように配置されている。

【0036】

また、スイッチングレギュレータ21における、基準電圧発生回路部34、分圧回路部35、誤差増幅器36及び制御回路部37は図5のコントローラ43で示した部分に配置され、PMOSトランジスタ31及びNMOSトランジスタ32の近傍に配置している。同様に、シリーズレギュレータSR1～SR3において、基準電圧発生回路部RE1～RE20、分圧回路部DE1～DE3及び誤差増幅器AMP1～AMP3は、対応する図5のコントローラ44～46で示した部分にそれぞれ配置され、対応するPMOSトランジスタP1～P3の近傍に配置される。

【0037】

一方、電源回路部2におけるその他の回路、すなわち充電制御回路25、SIMカードインターフェース回路26及びパワーオンロジック回路27は、ICチップ40の中央部分47に配置されている。また、パッドVDD、VIN、Vdd1～Vdd3、VddCは、バッテリ11からの正側電源電圧Vbatにそれぞれ接続され、パッドGNDP、GND20A、GNDs、GNDcはバッテリ11の負側電源電圧GNDにそれぞれ接続されている。平滑回路部33のコイルLとコンデンサCは、パッドLXを介してICチップ40に外付けされている。

【0038】

図6は、800kHzで発振しているスイッチングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

図6から分かるように、スイッチングレギュレータからシリーズレギュレータを1.5m離すことにより、スイッチングレギュレータとシリーズレギュレータとの距離が0.2mmの場合よりもノイズが5%程度低減していることが分かる。図5で示した電源用ICのチップサイズは、一辺が3mmであることから、図5のように、スイッチングレギュレータ21のドライバトランジスタを辺41の近傍に配置し、各シリーズレギュレータSR1～SR3の各ドライバトランジスタをそれぞれ辺42の近傍に配置することによって、スイッチングレギュレータ21から発生したノイズに対する各シリーズレギュレータSR1～SR3への影響を低減させることができる。

【0039】

なお、前記説明では、同期整流型のDC-DCコンバータをなすスイッチングレギュレータを使用した場合を例にして説明したが、図3において、NMOSトランジスタ32の代わりにフライホイールダイオードをなすダイオード51を使用してもよく、このようにした場合、図3のスイッチングレギュレータ21は、図7のようになる。なお、図7では、図3と同じもの又は同様のものは同じ符号で示しており、フライホイールダイオードを使用したスイッチングレギュレータは公知であり、ここではその動作の説明を省略する。

【0040】

図7で示したようなスイッチングレギュレータを使用した場合、図5の電源用ICを示した概略図は、図8のようになる。なお、図8では、図5と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図5との相違点のみ説明する。図8における図5との相違点は、NMOSトランジスタ32が配置されていた位置にフライホイールダイオードをなすダイオード51を設けるようにしたことにある。これ以外は、図5と同様であるのでその説明を省略する。

【0041】

また、図3及び図7では降圧型のスイッチングレギュレータを例にして示したが、昇圧型のスイッチングレギュレータの場合は図9のようになる。なお、図9では、図3と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略する。

10

図9において、スイッチングレギュレータ21は、ゲートに入力される制御信号に応じてスイッチングを行うスイッチングトランジスタをなすNMOSトランジスタ61と、該NMOSトランジスタ61からの出力信号を平滑して出力する平滑回路部62と、基準電圧発生回路部34と、分圧回路部35と、誤差増幅器36と、該誤差増幅器36からの出力信号に応じて前記NMOSトランジスタ61のスイッチング制御を行う制御回路部37とを備えている。

【0042】

出力電圧 V_o は分圧回路部35で分圧され、該分圧電圧 V_d と基準電圧 V_r との差電圧を誤差増幅器36で増幅する。制御回路部37は、例えば三角波のパルス信号を発生させる発振回路(図示せず)とコンパレータ(図示せず)とを備え、該発振回路の出力信号と誤差増幅器36の出力信号の各電圧を該コンパレータで比較し、コンパレータは、該比較結果に応じてNMOSトランジスタ61のオン時間を制御する。NMOSトランジスタ61から出力された信号は、整流ダイオードをなすダイオードD2、コイルL2及びコンデンサC2からなる平滑回路部62で平滑されて出力電圧 V_o として出力される。

20

【0043】

図9で示したようなスイッチングレギュレータを使用した場合、図5の電源用ICを示した概略図は、図10のようになる。なお、図10では、図5と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に、図5との相違点のみ説明する。

30

図10における図5との相違点は、PMOSトランジスタ31をなくし、NMOSトランジスタ32をNMOSトランジスタ61にしたことにある。これ以外は、図5と同様であるのでその説明を省略する。

【0044】

なお、前記第1の実施の形態では、1つのスイッチングレギュレータと3つのシリーズレギュレータを有する場合を例にして説明したが、本発明はこれに限定するものではなく、少なくとも1つのスイッチングレギュレータ及び少なくとも1つのシリーズレギュレータを有する場合に適用するものである。

【0045】

【発明の効果】

上記の説明から明らかなように、本発明の電源用ICによれば、スイッチングレギュレータのスイッチングを行うドライバトランジスタを、前記ICチップの所定の一辺近傍に配置し、シリーズレギュレータは、ICチップの該所定の一辺と対向するICチップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリーズレギュレータへの影響を低減させることができ、スイッチングレギュレータとシリーズレギュレータを1つのICに集積することができる。また、シリーズレギュレータから電源供給を受けている高周波回路へのスイッチングレギュレータからのノイズの影響を低減させることができ、電源用ICの信頼性の向上を図ることができる。

40

【0046】

また、本発明の通信装置によれば、電源用ICにおいて、スイッチングレギュレータのスイッチングを行うドライバトランジスタを、前記ICチップの所定の一辺近傍に配置し、

50

シリーズレギュレータは、ICチップの該所定の一辺と対向するICチップの辺近傍に配置するようにした。このことから、スイッチングレギュレータから発生するノイズのシリーズレギュレータへの影響を低減させることができ、シリーズレギュレータから電源供給を受けている高周波回路の信号処理への影響を低減させることができると共にスイッチングレギュレータとシリーズレギュレータを1つのICに集積することができ、通信装置の小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における電源用ICを使用する通信装置の例を示した図である。

【図2】図1の電源回路部2の構成例を示した図である。

10

【図3】図2のスイッチングレギュレータ21の回路例を示した図である。

【図4】図2で示したシリーズレギュレータの回路例を示した図である。

【図5】図2の電源回路部2をなす電源用ICの例を示した概略図である。

【図6】スイッチングレギュレータとシリーズレギュレータとの距離とノイズレベルの関係を示した図である。

【図7】図2のスイッチングレギュレータ21の他の回路例を示した図である。

【図8】図7のスイッチングレギュレータ21を使用した場合の電源用ICの例を示した概略図である。

【図9】図2のスイッチングレギュレータ21の他の回路例を示した図である。

【図10】図9のスイッチングレギュレータ21を使用した場合の電源用ICの例を示した概略図である。

【符号の説明】

1 通信装置

2 電源回路部

5 C P Uロジック回路部

1 1 バッテリ

2 1 スイッチングレギュレータ

2 2 充電制御回路

2 3 S I Mカードインターフェース回路

2 4 パワーオンロジック回路

30

3 1, P 1～P 3 PMOSトランジスタ

3 2, 6 1 NMOSトランジスタ

3 3, 6 2 平滑回路部

3 4, R E 1～R E 3 基準電圧発生回路部

3 5, D E 1～D E 3 分圧回路部

3 6, A M P 1～A M P 3 誤差増幅器

3 7 制御回路部

4 0 I Cチップ

4 1, 4 2 I Cチップの辺

4 3～4 6 コントローラ

40

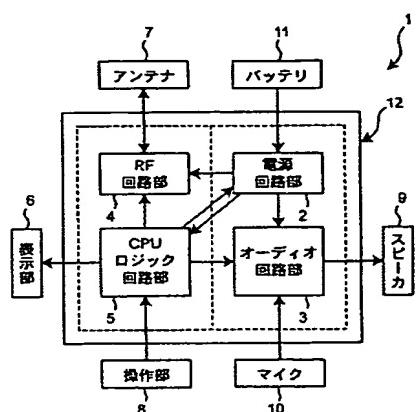
4 7 I Cチップの中央部分

5 1 ダイオード

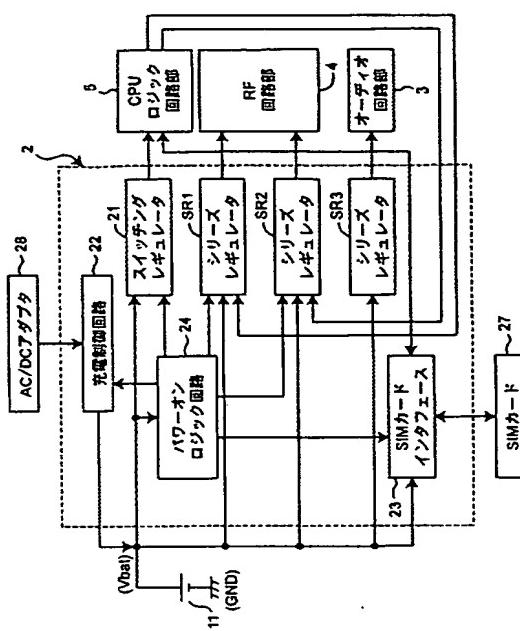
S R 1～S R 3 シリーズレギュレータ

V D D, V I N, V d d 1～V d d 3, G N D P, G N D A, G N D C, G N D S パッ
ド

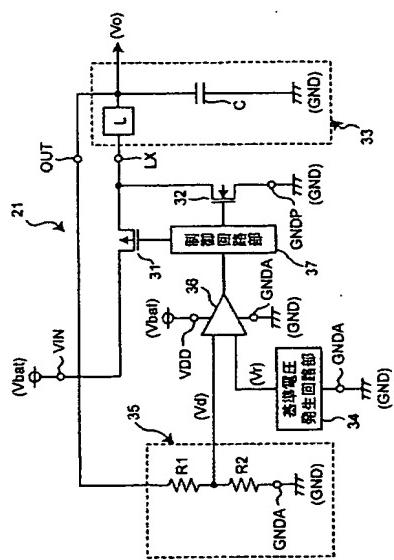
【図1】



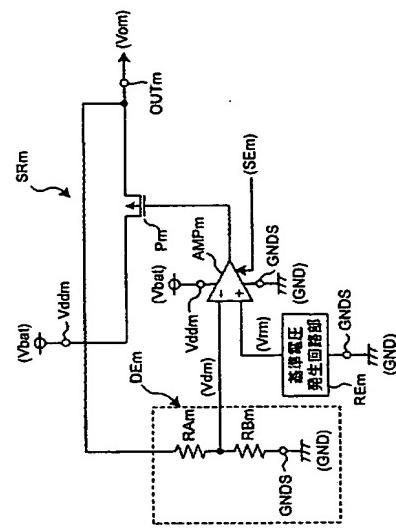
【図2】



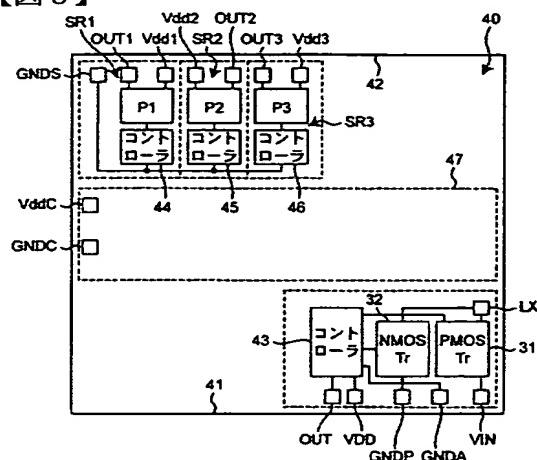
【図3】



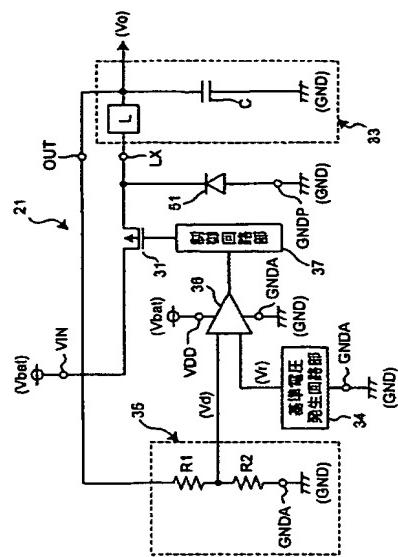
【図4】



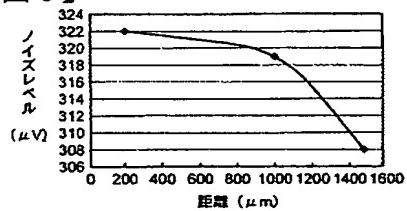
【図5】



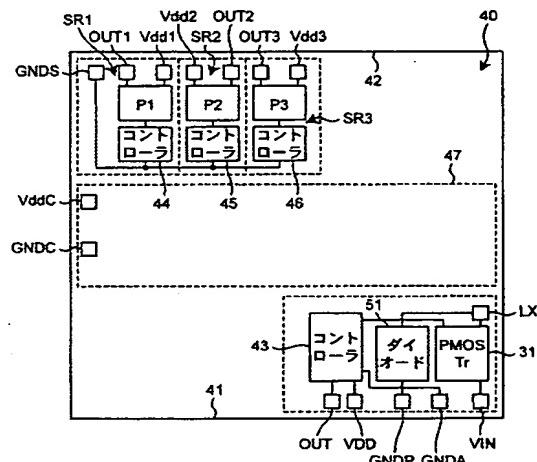
【図7】



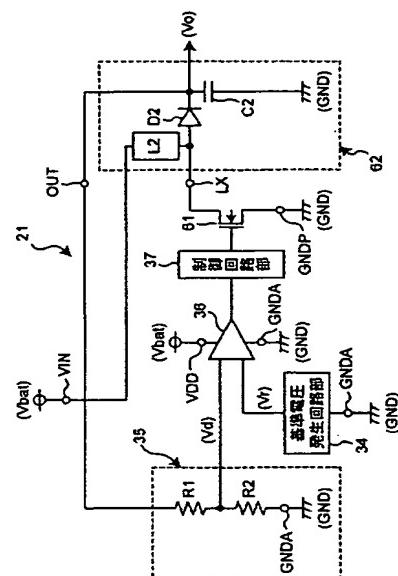
【図6】



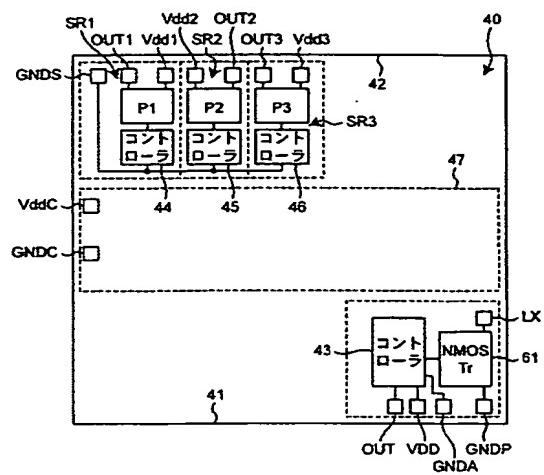
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 5H430 BB01 BB05 BB09 BB11 BB20 CC06 EE04 EE07 FF04 FF13
GG08 HH03 KK16
5H730 AA02 AA08 AA14 AA16 AS01 BB13 BB14 BB57 BB81 DD04
DD26 EE08 EE10 EE13 EE59 EE61 FD01 FG07 ZZ05 ZZ13
ZZ15